

# ACHIEVING ACCURACY AND HIGH PERFORMANCE IN STATIC TIMING ANALYSIS USING ADVANCED ON CHIP VARIATION (AOCV)

*Nguyen Anh Hai<sup>1</sup>, Nguyen Minh Son<sup>1</sup>, Nguyen Duy Manh Thi<sup>2</sup>*

<sup>1</sup>Faculty of Computer Engineering

University of Information Technology, VNU-HCM

<sup>2</sup>Faculty of Electronics and Telecommunications,

University of Science, VNU-HCM

[15520184@gm.uit.edu.vn](mailto:15520184@gm.uit.edu.vn), [sonnm@uit.edu.vn](mailto:sonnm@uit.edu.vn), [ndmthi@fetel.hcmus.edu.vn](mailto:ndmthi@fetel.hcmus.edu.vn)

## Abstract

In this paper we propose the use of Advanced On Chip Variation (AOCV) in static timing analysis (STA). Advanced OCV is a widely deployed technique in industry to account for OCV effects at smaller geometries. Considering OCV analysis in STA tools is one of the most crucial issues in VLSI designs nowadays. The AOCV analysis solutions can be categorized into graph-based (GBA) and path-based analysis (PBA), which are refinement strategies over traditional OCV in static timing analysis. This paper studies the implementation of Advanced OCV in 32nm process node with path-based approach, and compared against the conventional global On-Chip Variation (OCV) for pessimism reduction. This approach has been implemented in an industrial place-and-route tool and experimental results on industrial designs show that using AOCV together with the industrial optimization flow can significantly reduce the pessimism and improve accuracy of the final QoR, reduces margins compared to the traditional OCV based flow.

Key words: static timing analysis, on chip variation, advanced on chip variation, path-base, pessimism, derate factor, violation paths, worst negative slack, total negative slack.

# HOÀN THÀNH ĐỘ CHÍNH XÁC VÀ HIỆU SUẤT CAO TRONG PHÂN TÍCH THỜI GIAN TĨNH SỬ DỤNG OCV NÂNG CAO (ADVANCED ON CHIP VARIATION)

*Nguyễn Anh Hải<sup>1</sup>, Nguyễn Minh Sơn<sup>1</sup>, Nguyễn Duy Mạnh Thi<sup>2</sup>*

<sup>1</sup>Khoa Kỹ thuật Máy tính

Trường Đại học Công nghệ thông tin, ĐHQG-HCM

<sup>2</sup>Khoa Điện tử Viễn thông

Trường Đại học Khoa học tự nhiên, ĐHQG-HCM

[15520184@gm.uit.edu.vn](mailto:15520184@gm.uit.edu.vn), [sonnm@uit.edu.vn](mailto:sonnm@uit.edu.vn), [ndmthi@fetel.hcmus.edu.vn](mailto:ndmthi@fetel.hcmus.edu.vn)

## **Tóm tắt**

Trong bài báo này chúng tôi đề xuất việc sử dụng OCV nâng cao (Advanced On Chip Variation-AOCV) trong phân tích thời gian tĩnh (STA). OCV nâng cao là một kỹ thuật được triển khai rộng rãi trong quy mô công nghiệp để giải thích các ảnh hưởng OCV ở các kích thước hình học nhỏ hơn. Xem xét sự phân tích OCV trong các công cụ STA là một trong những vấn đề quan trọng nhất trong các thiết kế VLSI ngày nay. Các giải pháp phân tích AOCV có thể được phân loại thành phân tích dựa trên đồ thị (GBA) và phân tích dựa trên đường dẫn (PBA), là các giải pháp tinh chỉnh so với giải pháp OCV truyền thống trong phân tích thời gian tĩnh. Bài báo này nghiên cứu việc triển khai OCV nâng cao trên công nghệ 32nm dựa trên phương pháp phân tích đường dẫn (PBA) và so sánh với phương pháp toàn cục OCV thông thường để giảm sự bi quan. Cách tiếp cận này đã được thực hiện trong các công cụ thiết kế vật lý Place & Route và kết quả thử nghiệm trên các thiết kế thực tế công nghiệp cho thấy rằng việc sử dụng AOCV cùng với quy trình tối ưu hóa có thể giảm đáng kể sự bi quan và cải thiện độ chính xác của chất lượng kết quả (QoR) cuối cùng, giảm khoảng trừ hao so với giải pháp OCV truyền thống.

Từ khóa: phân tích thời gian tĩnh, sự thay đổi trên chip, sự thay đổi nâng cao, phân tích dựa trên đường dẫn, bi quan, hệ số suy giảm tốc độ, đường vi phạm, độ trễ âm tệ nhất, độ trễ âm tổng thể.