

THIẾT KẾ VÒNG KHÓA PHA TOÀN SỐ THÍCH NGHI SỬ DỤNG CẢM BIẾN PVT

Lê Trung Khanh¹, Bùi Trọng Tú¹, Phạm Công Kha², Lê Đức Hùng¹

¹ Khoa Điện Tử Viễn Thông, trường Đại học Khoa học Tự Nhiên, ĐHQG-HCM

² The University of Electro-Communications, Tokyo, Japan

ltkhanh@fetel.hcmus.edu.vn, btu@hcmus.edu.vn,
pham@vlsilab.ee.uec.ac.jp, ldhung@hcmus.edu.vn

Tóm tắt

Nghiên cứu này giới thiệu một mô hình thiết kế vòng khóa pha toàn số (ADPLL) được thử nghiệm trên công nghệ CMOS 0.18 μm . Các ảnh hưởng do sự biến thiên về Quy trình – Điện thế - Nhiệt độ (PVT) được khảo sát. Bộ phát hiện pha-tần số (PFD) và mạch tạo dao động điều khiển bằng tín hiệu số (DCO) là các thành phần quan trọng trong một thiết kế ADPLL. Trong khi PFD ít chịu ảnh hưởng bởi sự biến thiên PVT, khối mạch DCO chịu ảnh hưởng mạnh mẽ từ các biến thiên này. Điều này làm giảm hiệu suất của một mạch ADPLL. Để giải quyết vấn đề trên, nghiên cứu này đề xuất tích hợp một mạch cảm biến PVT với mạch DCO sử dụng kỹ thuật lồng vòng dao động để giúp thiết kế ADPLL có thể phát hiện và thích nghi với các ảnh hưởng của sự biến thiên PVT. Qua đó, nghiên cứu này đã thiết kế được một mô hình mạch ADPLL ở tần số 2.4 GHz có thể hoạt động tốt ở tất cả các góc của quy trình CMOS 0.18 μm .

Từ khóa: PLL, ADPLL, PVT, biến thiên, DCO, cảm biến, thích nghi

A DESIGN OF 2.4 GHZ ADAPTIVE ALL DIGITAL PHASE LOCKED LOOP USING PVT SENSOR

Trung-Khanh Le¹, Trong-Tu Bui¹, Cong-Kha Pham², Duc-Hung Le¹

¹ Faculty of Electronics and Telecommunications, University of Science, VNU-HCM

² The University of Electro-Communications, Tokyo, Japan

ltkhanh@fetel.hcmus.edu.vn, btu@hcmus.edu.vn,
pham@vlsilab.ee.uec.ac.jp, ldhung@hcmus.edu.vn

Abstract

This research presents a design of an Adaptive All Digital Phase Locked Loop (ADPLL) topology implemented in a 0.18 μm CMOS technology. Effects of Process-Voltage-Temperature (PVT) variation on ADPLL are taken into account. Phase Frequency Detector (PFD) and Digital-Controlled Oscillator (DCO) are the key elements of an ADPLL. While PFD is robust against PVT variations, DCO is strongly affected by them. This downgrades the performance of an ADPLL. To solve that issue, we propose a PVT sensor circuit and DCO circuit based on Nested Ring Oscillator assisting the ADPLL to mitigate the effects of PVT variations. As a result, we achieved a 2.4 GHz ADPLL operating well at all corners.

Key words: PLL, ADPLL, PVT, variations, DCO, sensor, adaptive